

**Departamento de Engenharia Elétrica e de Computação**

**SEL0384 – Laboratório de Sistemas Digitais I**

**Prof. Dr. Maximiliam Luppe**

**PRÁTICA Nº8 PBL 03 - Máquina de Estados Finitos**

**Problema:**

Implementação de uma Máquina de Estados com uso da linguagem de descrição de hardware VHDL.

**Equipamentos necessários:**

● Kit Mercurio® IV

**Introdução:**

A prática em questão tem como objetivo principal a implementação de uma Máquina de Estados Finitos (FSM) para um processador de 16 bits com arquitetura baseada na RISC-V. O processador proposto, denominado RV16Cm, possui uma arquitetura compacta e será implementado utilizando a linguagem de descrição de hardware VHDL.

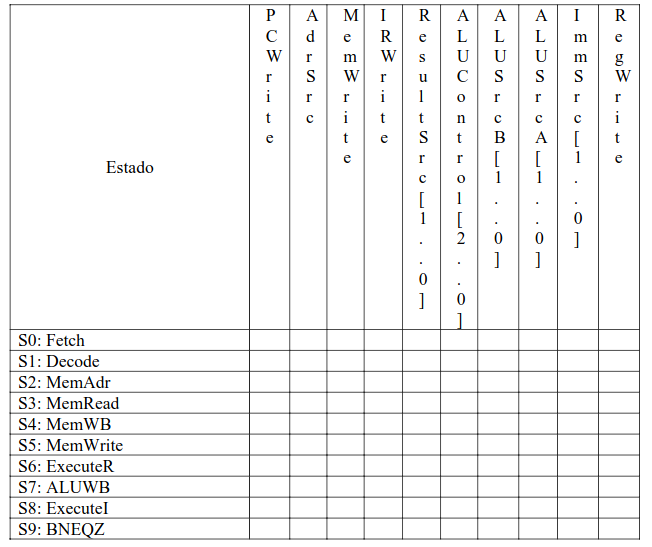
Neste sentido,o projeto consiste na criação de uma unidade de controle multiciclo para o processador RV16Cm. Este processador é capaz de executar instruções como adição, subtração, operações lógicas, leitura e escrita na memória, operações com valores imediatos e desvios condicionais.

A arquitetura RV16Cm difere da arquitetura RV32C em alguns aspectos, tais como barramento de dados de 16 bits, tamanho de instrução de 16 bits, barramento de memória de programa de 11 bits, registros de 16 bits, quantidade de registradores reduzida para 8, entre outras.

**Procedimento Experimental:**

A implementação da Unidade de Controle é baseada em uma Máquina de Estados Finitos (FSM) conforme apresentada no Diagrama de Estados. Cada estado da FSM está associado a uma instrução específica e define os sinais de controle necessários para a execução correta da instrução.

A tabela abaixo apresenta os sinais de saída da Unidade de Controle para cada estado, indicando quais sinais devem ser ativados ou desativados em cada fase do ciclo de instrução. Os sinais incluem seleção de registradores, controle da ALU, escrita/leitura de memória, entre outros.



A implementação foi realizada em VHDL, utilizando o ambiente Quartus Lite. O código VHDL da Máquina de Estados Finitos (FSM.vhd) está armazenado na pasta src do projeto MercurioIV\_FSM. A integração deste código ao projeto principal (MercurioIV\_RegBank) foi realizada ligando as entradas OP, FUNCT3 e ZERO aos switches SA[1:0], SA[4:2] e SA[5], respectivamente. Os push-buttons KEY[4] e KEY[10] foram ligados às entradas CLK e CLR. As saídas foram conectadas aos LEDs e/ou displays de 7 segmentos.

A foto do kit Mercurio IV com o circuito em funcionamento será apresentada posteriormente.

Apresentar código VHDL, circuito RTL, número de células lógicas utilizadas e foto do kit com o circuito funcionando.

4